

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-311804

(43)Date of publication of application : 09.11.1999

(51)Int.Cl.

G02F 1/136

G02F 1/133

(21)Application number : 10-118385

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

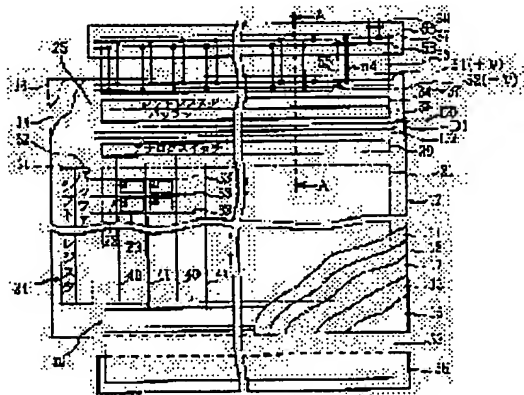
(22)Date of filing : 28.04.1998

(72)Inventor : MINAMINO YUTAKA
OKADA TAKASHI
NAKAMURA MIKA

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make small the source voltage drop caused by the through current of a CMOS.
SOLUTION: A +V power line 51 and a -V power line 52 which apply a source voltage to a drive circuit 24 are formed on a glass substrate 12 together. A source current bypasses the +V power line 51 and -V power line 52 through 10 intermediate patterns 54 and 55 each formed on a flexible substrate 53 at intervals of 25 mm and bypass lines 57 and 58 formed on a printed board 56 respectively. Consequently, the power lines decrease in wiring resistance, so even if a through current flows, a drop in the source voltage is suppressed small, so that the driving circuit 24 can operate securely.



LEGAL STATUS

[Date of request for examination] 27.10.2000

[Date of sending the examiner's decision of rejection] 09.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-311804

(43)公開日 平成11年(1999)11月9日

(51)Int.Cl. ⁸	識別記号	F I
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
1/133	5 5 0	1/133 5 5 0

審査請求 未請求 請求項の数5 O L (全 11 頁)

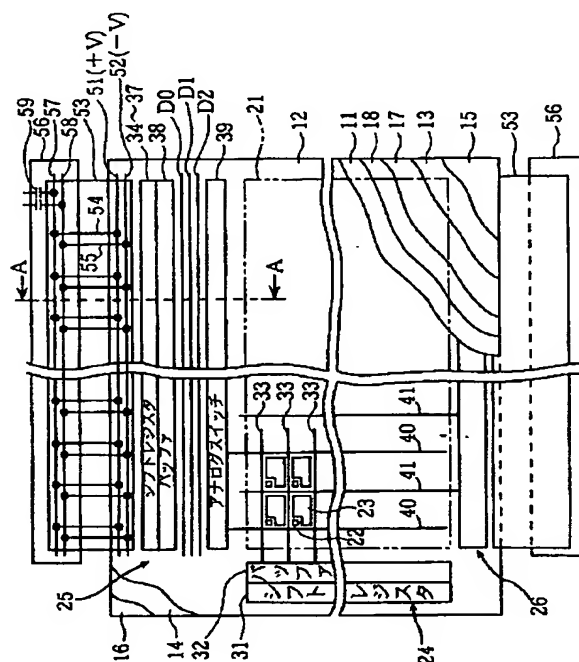
(21)出願番号	特願平10-118385	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成10年(1998)4月28日	(72)発明者	南野 裕 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72)発明者	岡田 隆史 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72)発明者	中村 美香 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	弁理士 大前 要

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 CMOSの貫通電流による電源電圧の低下量を小さくする。

【解決手段】 駆動回路24に電源電圧を供給する+V電源ライン51、および-V電源ライン52は、駆動回路24とともにガラス基板12上に形成されている。この+V電源ライン51および-V電源ライン52は、それぞれ、フレキシブル基板53に2.5mmピッチで形成された各10本の中継パターン54、55、およびプリント基板56に形成されたバイパスライン57、58を介して、電源電流がバイパスされるようになっている。これにより、電源ラインの配線抵抗が小さくなるので、貫通電流が流れても、電源電圧の電圧降下が小さく抑えられ、駆動回路24を確実に動作させることができる。



【特許請求の範囲】

【請求項1】基板上に、上記基板上に形成された画像信号電極または走査信号電極に、画像信号電圧または走査信号電圧を印加する駆動回路が設けられた液晶表示装置であって、

上記駆動回路が、基板上に形成された半導体層により構成されるとともに、

上記駆動回路に電源電圧を印加する電源配線が、上記基板に接続された配線基板に形成されていることを特徴とする液晶表示装置。

【請求項2】請求項1の液晶表示装置であって、上記配線基板が、フレキシブル基板から構成されていることを特徴とする液晶表示装置。

【請求項3】請求項1の液晶表示装置であって、上記配線基板が、プリント基板と、上記プリント基板と上記基板とを接続するフレキシブル基板とから構成されていることを特徴とする液晶表示装置。

【請求項4】請求項3の液晶表示装置であって、上記フレキシブル基板がほぼ180°折り曲げられ、上記プリント基板が上記基板に固定されていることを特徴とする液晶表示装置。

【請求項5】請求項1ないし請求項4の液晶表示装置であって、

上記駆動回路は、順次入力された所定数の画素の画像信号を一旦保持した後、上記所定数の画素の画像信号を同時に出力するように構成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、いわゆるAV (Audio Visual) 機器や、OA (Office Automation) 機器などに適用される、アクティブマトリクス方式の駆動回路を備えた液晶表示装置に関し、特に、上記駆動回路が画素スイッチング素子と同様にして基板上に形成された、駆動回路一体型の液晶表示装置に関するものである。

【0002】

【従来の技術】従来より、アクティブマトリクス型の液晶表示装置には、各画素電極に印加される電圧を断接する画素スイッチング素子として、ガラス基板上に形成されたアモルファスシリコンから構成される薄膜トランジスタ (a-Si-TFT) が用いられている。一方、画素電極に印加される画像信号電圧等を出力する駆動回路 (ドライバ回路) は、上記スイッチング素子よりも高速な動作等が必要とされ、上記のようなa-Si-TFTでは十分な特性が得られないため、単結晶シリコンを用いて構成されたドライバICチップが基板に実装されている。上記ドライバICチップの実装方法としては、図12に示すように、テープキャリアフィルム1にドライバICチップ2を実装し、このテープキャリアフィルム

1を液晶パネルのアレイ基板3に接続する方法 (テープキャリアパッケージ:TCP) と、図13に示すように、ドライバICチップ2をアレイ基板3に直接実装する方法 (チップオンガラス:COG) とが知られている。上記COGは、TCPに比べれば、薄型化、および軽量化が容易であるとともに、テープキャリアフィルム1を必要としないことによる製造コストの低減ができ、また、接続点数の合計が1/3~1/5程度であるため、接続不良に対する信頼性を高めやすいなどの利点を有している。

【0003】しかしながら、COGにおいても、ドライバICチップ2の接続点数がTCPよりは少ないものの、やはり多くの端子を接続するための高精度な実装工程を必要とし、大幅な信頼性の向上や製造コストの低減を図ることは困難である。

【0004】そこで、近年、アモルファスシリコンに代えて、ポリシリコンから構成される薄膜トランジスタ (p-Si-TFT) を用いる技術が開発されている。上記p-Si-TFTは、例えばSID 97 DIGEST pp.171-175に示されるように、半導体層の電界効果移動度がa-Si-TFTに比べて1~2桁程度大きく、比較的良好なTFT特性が得られるため、画素スイッチング素子としてのp-Si-TFTと同一のプロセスでガラス基板に形成されたp-Si-TFTによってドライバ回路を構成することができる。それゆえ、別途ドライバICを実装する工程が不要であり、小型軽量化とともに、大幅な製造コストの低減や信頼性の向上を図ることができる。

【0005】上記ドライバ回路は、具体的には、例えば図14に示すようにpチャネルTFT4とnチャネルTFT5とから成る多数のCMOS (Complimentary Metal Oxide Silicon) インバータ6などによってシフトレジスタやラッチ等が形成されて構成されている。また、pチャネルTFT4…を接続する配線や、電源配線、画像信号線等は、ガラス基板に形成された例えば膜厚が7000Å程度のアルミニウム薄膜などにより構成されている。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の液晶表示装置は、p-Si-TFTの特性、および電源配線の配線抵抗に起因して、各シフトレジスタ等に供給される電源電圧の電圧降下が生じるため、電源配線の配線幅をかなり広くしたり、電源電圧をかなり高く設定したりしなければ、ドライバ回路を適正に動作させることができないという問題点を有していた。

【0007】すなわち、上記p-Si-TFTは、上記のようにa-Si-TFTよりも高速な動作速度が得られるものの、例えばDisplays Volume 14 Number 2 1993 pp.104-114 "Integrated driver circuits for active matrix liquid crystal displays" (図15) に示さ

れるように、ICチップなどを構成する単結晶シリコンを用いたトランジスタに比較して、OFF時電流、およびサブスレッショルド領域で流れる電流が大きい。これは、ポリシリコン中でのグレインバウンダリ準位を介したキャリアのホッピング (Memorandum No. UCB/ERL M93/82)、またはゲート絶縁層中に存在するイオンによる固定電荷の影響 (同) によるものと推測されている。このため、CMOSインバータのスイッチングの際に、サブスレッショルド領域におけるドレイン電流の増加に伴って、大きな貫通電流が流れる。

【0008】より詳しくは、図16、および以下に示すような動作によって貫通電流が流れる。

【0009】(1) 入力電圧 (ゲート電圧) V_{in} が0Vの場合には、pチャネルTFT4は導通状態、nチャネルTFT5は非導通状態になり、出力電圧 V_{out} はハイレベル ($5V = V_{dd}$) になる。この状態では、pチャネルTFT4のソースからnチャネルTFT5のドレインにかけての貫通電流 (直流パス電流) はほとんど流れない。

【0010】(2) 入力電圧 V_{in} が上昇して、nチャネルTFT5の閾値電圧 $V_{th}(n)$ (電圧A) を越え、電圧Bになるまでは、pチャネルTFT4は飽和動作領域でほぼ導通状態が維持されるとともに、nチャネルTFT5は非飽和動作領域で、入力電圧 V_{in} に応じたドレイン電流が流れ始めるため、貫通電流が徐々に増大するとともに、出力電圧 V_{out} が徐々に低下する。

【0011】(3) 入力電圧 V_{in} がさらに上昇して、電圧Bから電圧Dになるまでの間は、p、nチャネルTFT4、5が共に非飽和動作領域で入力電圧 V_{in} に応じたドレイン電流が流れるため、電圧Cのときに貫通電流が最大になるとともに、出力電圧 V_{out} が急激に低下する。

【0012】(4) 入力電圧 V_{in} が電圧Dを越えると、pチャネルTFT4は、やはり非飽和動作領域で、入力電圧 V_{in} に応じたドレイン電流が流れるとともに、nチャネルTFT5は飽和動作領域になってほぼ導通状態になり、貫通電流が減少するとともに、出力電圧 V_{out} が漸近的にローレベル (0V) に近づく。

【0013】(5) 入力電圧 V_{in} がpチャネルTFT4の閾値電圧 $V_{th}(p)$ (電圧E) を越えると、pチャネルTFT4は非導通状態、nチャネルTFT5は導通状態になり、出力電圧 V_{out} はローレベル (0V) になるとともに、貫通電流はほとんど流れなくなる。

【0014】上記のような貫通電流が流れることによって、例えば電源配線の配線抵抗によって生じる電圧降下量が1.5V以上になると、シフトレジスタやラッチの駆動電圧のマージンが小さくなり、ドライバ回路を適正に動作させることが困難になる。より具体的には、例えば対角寸法が20cmの液晶表示装置を構成するとすると、電源配線には、図17に示すように160mA程度

の電流が流れるため、電圧降下量を1.5V以下に抑えるためには、電源配線の配線抵抗を9Ω程度以下にする必要があり、電源配線のシート抵抗が0.1Ωであれば、配線幅を1本あたり3.4mm以上にしなければ、ドライバ回路を適正に動作させることができない。

【0015】このような問題点は、表示画素数が多い液晶表示装置や、カラー画像を表示する液晶表示装置の場合には、設けられるシフトレジスタ等の段数が多く、電源電圧の低下量が大きくなるために、一層顕著なものとなる。また、画面サイズが大きいほど、電源配線が長くなるために、やはり、電源電圧の低下量が大きくなる。さらに、上記のような問題点は、アナログ画像信号が入力される液晶表示装置でも、デジタル画像信号が入力される液晶表示装置でも生じるが、特に後者の場合には、シフトレジスタに加えて、デジタル画像信号のビット数に応じたラッチ回路やD/Aコンバータを備えているために貫通電流が大きくなり、さらに顕著なものとなる。

【0016】また、例えば特公平4-3552に示されるような、画像信号電圧を順次各画素電極に印加するいわゆる点順次駆動の液晶表示装置や、SID 96 DIGEST p. 21-24に示されるような、1水平期間分の画像信号を一旦保持した後、水平ラインの各画素電極に同時に画像信号電圧を印加する、いわゆる線順次駆動の液晶表示装置においても、上記問題点は同様である。

【0017】本発明は、上記の点に鑑み、電源電圧の低下量を小さく抑えて、駆動回路を確実に動作させることができ、高解像度化や大画面化を容易に図ることのできる液晶表示装置の提供を目的としている。

【0018】

【課題を解決するための手段】上記の課題を解決するため、請求項1の発明は、基板上に、上記基板上に形成された画像信号電極または走査信号電極に、画像信号電圧または走査信号電圧を印加する駆動回路が設けられた液晶表示装置であって、上記駆動回路が、基板上に形成された半導体層により構成されるとともに、上記駆動回路に電源電圧を印加する電源配線が、上記基板に接続された配線基板に形成されていることを特徴としている。

【0019】これにより、電源配線の配線抵抗を小さく設定することが容易にできるので、駆動回路を構成する半導体素子の貫通電流、および電源配線の配線抵抗によって生じる電圧降下を小さく抑えることができ、駆動回路を確実に動作させることができる。それゆえ、駆動回路を構成する半導体素子の数が多い高解像度な液晶表示装置や、電源配線が長い大画面の液晶表示装置を容易に構成することができる。

【0020】請求項2の発明は、請求項1の液晶表示装置であって、上記配線基板が、フレキシブル基板から構成されていることを特徴としている。

【0021】上記のようなフレキシブル基板には、厚膜

の銅箔などによって配線パターンを形成することができるので、配線抵抗の小さい電源配線を容易に形成することができる。

【0022】請求項3の発明は、請求項1の液晶表示装置であって、上記配線基板が、プリント基板と、上記プリント基板と上記基板とを接続するフレキシブル基板とから構成されていることを特徴としている。

【0023】上記のようなプリント基板にも、厚膜の銅箔などによって配線パターンを形成することができるので、やはり、配線抵抗の小さい電源配線を容易に形成することができる。また、このようなプリント基板には、バイパスコンデンサを設けたり、画像信号の発生回路等を設けたりすることが容易にでき、部品点数の増加を少なく抑えて、製造工数および製造コストの低減を図ることもできる。

【0024】請求項4の発明は、請求項3の液晶表示装置であって、上記フレキシブル基板がほぼ180°折り曲げられ、上記プリント基板が上記基板に固定されていることを特徴としている。

【0025】これにより、液晶表示装置における、画像表示領域以外の部分の面積を小さくすることができ、液晶表示装置の小型化を図ることができる。

【0026】請求項5の発明は、請求項1ないし請求項4の液晶表示装置であって、上記駆動回路は、順次入力された所定数の画素の画像信号を一旦保持した後、上記所定数の画素の画像信号を同時に出力するように構成されていることを特徴としている。

【0027】これにより、高解像度の液晶表示装置を構成する場合でも、映像信号を分割させることなく、画像信号電圧の印加時間を長くすることが容易にできる。

【0028】

【発明の実施の形態】（実施の形態1）本発明の実施の形態1として、表示画素数が1024×768（いわゆるXGAモード）、画素サイズが57μm角で、赤、緑、および黄のアナログ画像信号が入力されてカラー画像を表示する12.1インチ型の液晶表示装置について説明する。

【0029】この液晶表示装置は、図1および図2に示すように、間に液晶層11が形成された1対のガラス基板12、13と、この1対のガラス基板12、13の両側に配置された偏光板14、15と、偏光板14の外方側に配置されたバックライト16とが設けられて構成されている。上記ガラス基板13における液晶層11側には、マイクロカラーフィルタ17、および対向電極18が形成されている。一方、ガラス基板12における表示領域21には、各画素に対応して、画素スイッチングTFT（薄膜トランジスタ）22、および画素電極23が形成されている。また、ガラス基板12における表示領域21の周辺部には、駆動回路24～26が設けられている。駆動回路25、26には、後に詳述するように、

フレキシブル基板53を介して、ガラス基板12と同一平面上に配置されたプリント基板56が接続されている。

【0030】上記駆動回路24は、図3に示すように、シフトレジスタ31、およびバッファ32を備え、走査信号線（ゲートライン）33を介して画素スイッチングTFT22のゲート電極に接続され、クロック信号CLx、反転クロック信号CLx*、およびスタートパルス（垂直同期信号）STvに応じて、各走査信号線33に順次走査信号パルスを出力するようになっている。

【0031】一方、駆動回路25は、4組のシフトレジスタ34～37、バッファ38、およびアナログスイッチ（トランスファゲート）39を備え、画像信号線（ソースライン）40、および画素スイッチングTFT22を介して、表示画面左右方向の奇数番目の画素電極23に画像信号電圧を印加するようになっている。また、駆動回路26は、駆動回路25と同様の構成を有し、画像信号線41を介して、偶数番目の画素電極23に画像信号電圧を印加するようになっている。なお、駆動回路26の構成および動作は、駆動回路25と同様であるため、以下、主として駆動回路25についてのみ説明し、駆動回路26についての詳細な説明は省略する。

【0032】駆動回路25のシフトレジスタ34～37は、それぞれ、図4に示すように複数のパスゲート（3ステートバッファ）42、およびインバータ43から構成され、図5に示すように、クロック信号CL1～CL4、反転クロック信号CL1*～CL4*、およびスタートパルス（水平同期信号）SThに応じて、パルス幅が200nsで50nsずつ位相のずれた（150nsずつオーバーラップした）パルス信号を順次シフトして出力するようになっている。

【0033】また、駆動回路25のアナログスイッチ39は、シフトレジスタ34～37から出力されるパルス信号に応じて、アナログ画像信号線D0～D2から入力される画像信号電圧を画像信号線40に出力するようになっている。ここで、シフトレジスタ34…からは、前述のように150nsずつオーバーラップしたパルス信号が出力され、アナログスイッチ39からは、上記オーバーラップ期間に4本ずつの画像信号線40に同一の画像信号が出力されることにより、各画素電極23と対向電極18との間には、各パルス信号の最初の150nsの期間にプリチャージが行われた後、最後の50nsの期間に出力される画像信号に応じた電荷が蓄積される。すなわち、シフトレジスタ34～37が4組に分割されることにより、ドットクロックが50nsの場合と同等の速度（一定のフレーム周期）で、図6に示すように、実質的に200nsの書き込み時間が得られ、画素数が多くても確実に画像信号の書き込みが行われるようになっている。

【0034】上記駆動回路24に電源電圧を供給する+

V電源ライン51、および-V電源ライン52は、前記図1に示すように、駆動回路24とともにガラス基板12上に形成されている。この+V電源ライン51および-V電源ライン52は、それぞれ、フレキシブル基板(FPC:フレキシブルプリントサーキット)53に2.5mmピッチで形成された各10本の中継パターン54、55、およびプリント基板56に形成されたバイパスライン57、58を介して、電源電流がバイパスされるようになっている。上記中継パターン54、55、およびバイパスライン57、58は、例えば幅が1mmの銅箔(厚膜)によって形成され、バイパスコンデンサ59を介して、図示しないアースラインに接続されている。上記のように、ガラス基板12の外部にバイパスライン57、58を設けることにより、配線抵抗を例えば0.1オーム程度にすることが容易にできるので、シフトレジスタ34…等に160mA程度の貫通電流が流れても、電源電圧の電圧降下を小さく抑え、駆動回路24を確実に動作させることができる。

【0035】なお、上記中継パターン54、55のピッチは、2.5mmに限らず、表示画面のサイズや、シフトレジスタ34…等の駆動電圧のマージンおよび貫通電流の大きさ、+V電源ライン51等の配線抵抗などに応じて、適宜設定すればよい。例えば、上記12.1インチ型のXGAモードの液晶表示装置の場合には、通常、数十点から数百点程度の位置で電源電流をバイパスするようにすれば、電源電圧の電圧降下を十分小さく抑えることができ、50点程度以上であれば、電圧降下の影響をほとんど無視できる程度にすることが容易にできる。

【0036】また、フレキシブル基板53の中継パターン54、55は、+V電源ライン51および-V電源ライン52とバイパスライン57、58とを確実に接続することができればよいので、中継パターン54、55のピッチの精度や、フレキシブル基板53における+V電源ライン51…方向の貼り合わせ精度は低くてもよい。

【0037】また、上記のようにバイパスライン57、58専用のプリント基板56を設けず、画像信号やクロック信号の発生回路が形成された基板にバイパスライン57、58を形成してもよい。また、プリント基板56を用いず、フレキシブル基板53に、中継パターン54、55とともにバイパスライン57、58を形成してもよい。さらに、フレキシブル基板53を介さずに、プリント基板56を、直接、ガラス基板12に接続するなどしてもよい。

【0038】また、フレキシブル基板53やプリント基板56に、電源用のバイパスライン57、58と同様に、アナログ画像信号線D0~D2や制御信号線などのバイパスラインも形成してもよい。この場合には、アナログ画像信号線D0…等の配線抵抗も小さく抑えられ、時定数が小さくなるので、高速な書き込み動作を確実に行わせることが容易になるとともに、アナログ画像信号

線D0…等の配線本数が多い場合でも、液晶表示装置における、いわゆる額縁サイズ(額縁幅)を容易に小さくすることができる。

【0039】また、バイパスライン57、58が形成されたプリント基板56は、上記のようにガラス基板12と同一平面上に配置せず、図7に示すように、フレキシブル基板53を折り曲げて、ガラス基板12と垂直な方向に配置するようにしてもよい。これにより、額縁サイズをほぼ駆動回路25、26が形成される領域の大きさ(例えば6mm程度)にすることができ。なお、この場合には、プリント基板56の幅をバックライト16などの光学部材等の厚さ以下に設定すれば、液晶表示装置の厚さの増加を招くこともない。

【0040】さらに、図8に示すように、フレキシブル基板53をほぼ180°折り曲げて、ガラス基板12の裏面側に密着させるようにしてもよい。この場合には、やはり額縁サイズを小さく抑えられるとともに、バックライト16等の厚さに係らず、液晶表示装置の厚さの増加を招くことがない。

【0041】また、+V電源ライン51および-V電源ライン52は、それぞれ、ガラス基板12上で必ずしも連続していなくてもよい。すなわち、複数に分断されている場合でも、それぞれのラインに中継パターン54、55が接続され、全てのインバータ43等に電源電圧が印加されるようになっていけばよい。

【0042】また、上記の例では、各画素電極23に順次画像信号電圧が印加される点順次駆動の液晶表示装置に適用した例を示したが、画像信号電圧ホールド用のコンデンサを設けて、1水平期間分の画像信号電圧を一旦保持させた後、この1水平期間分の画像信号電圧を同時に各画素電極23に印加する線順次駆動の液晶表示装置に適用してもよい。

【0043】また、画像信号の書き込みが、短時間で十分に行える場合には、必ずしも上記のようにシフトレジスタ34~37を4組などに分割しなくてもよい。一方、3本のアナログ画像信号線D0~D2を設けるのに代えて、さらに多くの画像信号線を設けて画像信号の並列度合を大きくするようにして、画像信号の書き込み時間が、より長くなるようにしてもよい。

【0044】また、上記の例では、画像信号電圧を出力する駆動回路25、26についてだけ、バイパスライン57、58を設けた例を示したが、走査信号パルスを出力する駆動回路24についても、同様に電源配線のバイパスラインを設けるようにしてもよい。

【0045】(実施の形態2)本発明の実施の形態2として、赤、緑、および黄の画像信号として、デジタル画像信号が入力される液晶表示装置について説明する。この液晶表示装置は、前記実施の形態1の液晶表示装置と比べて、主として駆動回路の構成、信号線の配線パターンが異なり、また、表示画素数が800×600(い

わゆるSVGAモード)、画素サイズが $264\mu\text{m}$ 角である点が異なる。なお、その他の構成については、実施の形態1と同様であるため、同様の機能を有する構成要素については同一の符号を付して詳細な説明を省略する。

【0046】この液晶表示装置のガラス基板12上には、図9および図10に示すように、前記駆動回路25、26に代えて、駆動回路61、62が設けられている。また、アナログ画像信号線D0~D2に代えて、それぞれ6ビットのデジタル画像信号線R0~R5、G0~G5、B0~B5が設けられている。

【0047】駆動回路61は、実施の形態1と同様のシフトレジスタ34~37と、2段のラッチ回路63、64と、D/Aコンバータ65とが設けられて構成されている。

【0048】上記ラッチ回路63は、シフトレジスタ34~37から出力されるパルス信号に応じて、デジタル画像信号線R0...から入力される画像信号データを順次保持するようになっている。すなわち、シフトレジスタ34...からは、実施の形態1で説明したように、 150ns ずつオーバーラップしたパルス信号が出力され、ラッチ回路63には、各パルス信号が立ち下がる時点でデジタル画像信号線R0...から入力されている画像信号データが順次保持される。一方、ラッチ回路64は、ラッチ回路63に1表示ライン分の画像信号データが保持された後、図示しない水平同期信号に応じて、上記1表示ライン分の画像データを同時に保持し、D/Aコンバータ65に出力するようになっている。

【0049】D/Aコンバータ65は、詳しくは、例えば図11に示すように、各画素ごとに、それぞれ6つのキャパシタ71...、ディスチャージスイッチ72...、および画像信号データに応じてオンオフするデータスイッチ73...と、1つのリセットスイッチ74とが設けられて構成されている。上記キャパシタ71...の一端子側には基準電圧V0が印加されるとともに、リセットスイッチ74の一端子側には基準電圧Vcが印加されるようになっている。なお、図11におけるC1cは画素電極23と対向電極18との間に形成される液晶容量、Vslは画素電極23に印加される電圧、Vcomは対向電極18の電圧を示す。上記キャパシタ71...の容量は、それぞれ、C0、 $2\times C0$ 、 $4\times C0$ 、 $8\times C0$ 、 $16\times C0$ 、 $32\times C0$ に重みづけをした容量に設定されている。このD/Aコンバータ65によるデジタル/アナログ変換は、次のようにして行われる。すなわち、まず、各ディスチャージスイッチ72...がオン、各データスイッチ73...がオフになって、キャパシタ71がディスチャージされるとともに、リセットスイッチ74がオンになって液晶容量C1cに所定の電荷が蓄積される。次に、各ディスチャージスイッチ72およびリセットスイッチ74がオフになるとともに、画像信号データに応

じて、例えば1ビット目だけのデータスイッチ73がオンになることにより、画素電極23に印加される電圧Vslが、 $Vsl = Vc + (V0 - Vc) \times C0 / (C0 + C1c)$ になる。すなわち、画素電極23には画像信号データに応じた電圧が印加され、画像信号データに応じた64階調の画像の表示が行われる。

【0050】上記駆動回路61、62に供給される電源電圧は、実施の形態1と同様に、フレキシブル基板53に形成された中継パターン54、55、およびプリント基板56に形成されたバイパスライン57、58を介してバイパスされるようになっている。すなわち、上記のようにデジタル画像信号が入力される液晶表示装置は、アナログ画像信号が入力される液晶表示装置に比べて、ラッチ回路63、64やD/Aコンバータ65を備えているために貫通電流も大きくなりがちであるが、上記のように電源電流のバイパスライン57、58が設けられることにより、電源電圧の電圧降下を非常に小さく抑え、駆動回路24を確実に動作させることができる。

【0051】なお、上記の例では、赤、緑、および黄の画像信号として、それぞれ6ビットのデジタル画像信号が入力される液晶表示装置の例を示したが、それぞれ8ビットのデジタル画像信号が入力されるようにして、256階調の画像を表示し得るようにしてもよい。また、このように多くの画像信号線等をバイパスライン57...とともにプリント基板56に形成して、額縁サイズを小さくし得るようにしてもよい。

【0052】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に記載されるような効果を奏する。

【0053】すなわち、駆動回路に電源電圧を印加する電源配線が、上記基板に接続された配線基板に形成されていることにより、電源配線の配線抵抗を小さく設定することが容易にできるので、駆動回路を構成する半導体素子の貫通電流、および電源配線の配線抵抗によって生じる電圧降下を小さく抑えることができ、駆動回路を確実に動作させることができる。それゆえ、駆動回路を構成する半導体素子の数が多い高解像度な液晶表示装置や、電源配線が長い大画面の液晶表示装置を容易に構成することができるという効果を奏する。

【図面の簡単な説明】

【図1】 実施の形態1の液晶表示装置の構成を示す平面図

【図2】 図1のA-A矢視断面図

【図3】 実施の形態1の液晶表示装置の回路構成を示す回路図

【図4】 実施の形態1のシフトレジスタの構成を示す回路図

【図5】 実施の形態1のシフトレジスタの動作を示すタイミングチャート

【図6】 実施の形態1のシフトレジスタの分割数と画

像信号電圧の印加時間との関係を示すグラフ

【図 7】 実施の形態 1 の変形例を示す平面図および断面図

【図 8】 実施の形態 1 の他の変形例を示す平面図および断面図

【図 9】 実施の形態 2 の液晶表示装置の構成を示す平面図

【図 10】 実施の形態 2 の液晶表示装置の回路構成を示す回路図

【図 11】 実施の形態 2 の D/A コンバータの構成を示す回路図

【図 12】 従来のテープキャリアパッケージの液晶表示装置の構成を示す平面図

【図 13】 従来のチップオンガラスの液晶表示装置の構成を示す平面図

【図 14】 CMOS インバータの構成を示す回路図

【図 15】 ポリシリコン薄膜トランジスタおよび単結晶シリコントランジスタの特性を示すグラフ

【図 16】 ポリシリコン薄膜トランジスタを用いた CMOS インバータの動作を示す説明図

【図 17】 ポリシリコン薄膜トランジスタを用いた CMOS インバータにおける貫通電流の大きさを示すグラフ

【符号の説明】

- 2 1 表示領域
- 2 2 画素スイッチング TFT
- 2 3 画素電極

2 4 ~ 2 6 駆動回路

3 1 シフトレジスタ

3 2 バッファ

3 3 走査信号線

3 4 ~ 3 7 シフトレジスタ

3 8 バッファ

3 9 アナログスイッチ

4 0 画像信号線

4 1 画像信号線

4 2 パスゲート (3 ステートバッファ)

4 3 インバータ

5 1 +V 電源ライン

5 2 -V 電源ライン

5 3 フレキシブル基板

5 4, 5 5 中継パターン

5 6 プリント基板

5 7, 5 8 バイパスライン

5 9 バイパスコンデンサ

6 1, 6 2 駆動回路

6 3, 6 4 ラッチ回路

6 5 D/A コンバータ

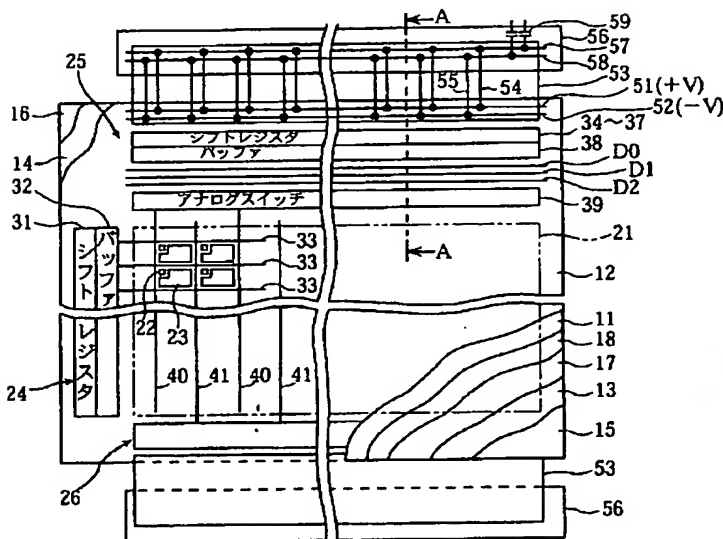
CL 1 ~ CL 4 クロック信号

CL 1 * ~ CL 4 * 反転クロック信号

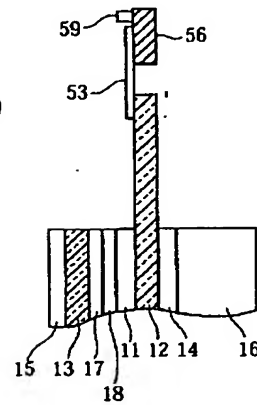
D 0 ~ D 2 アナログ画像信号線

R 0 ~ R 5, G 0 ~ G 5, B 0 ~ B 5 デジタル画像信号線

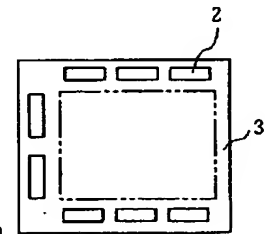
【図 1】



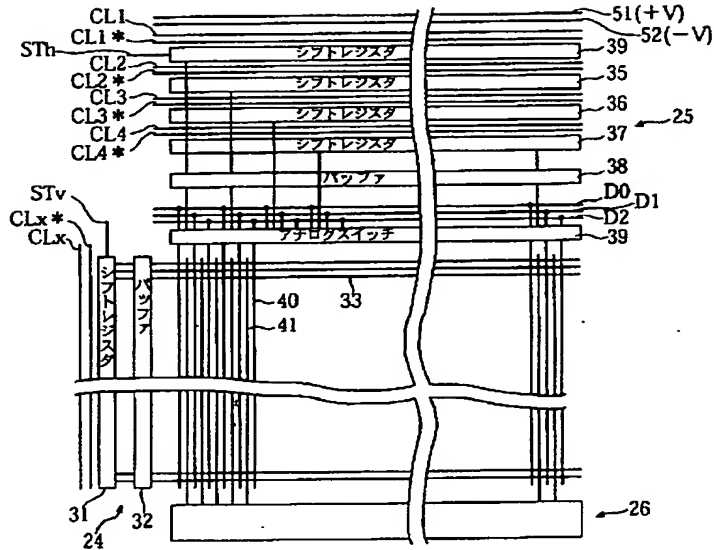
【図 2】



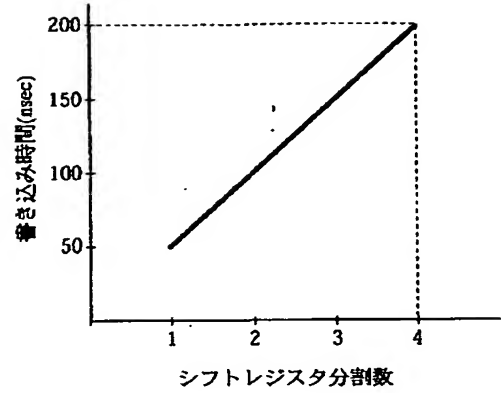
【図 13】



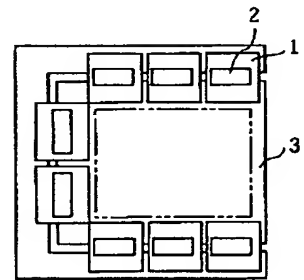
【図3】



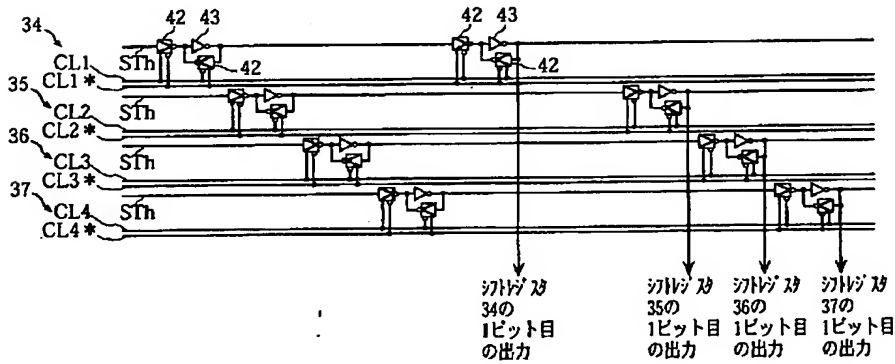
【図6】



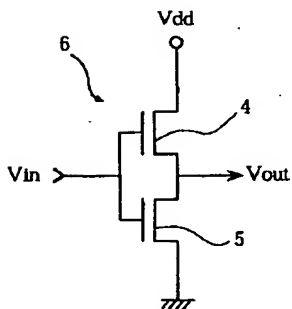
【図12】



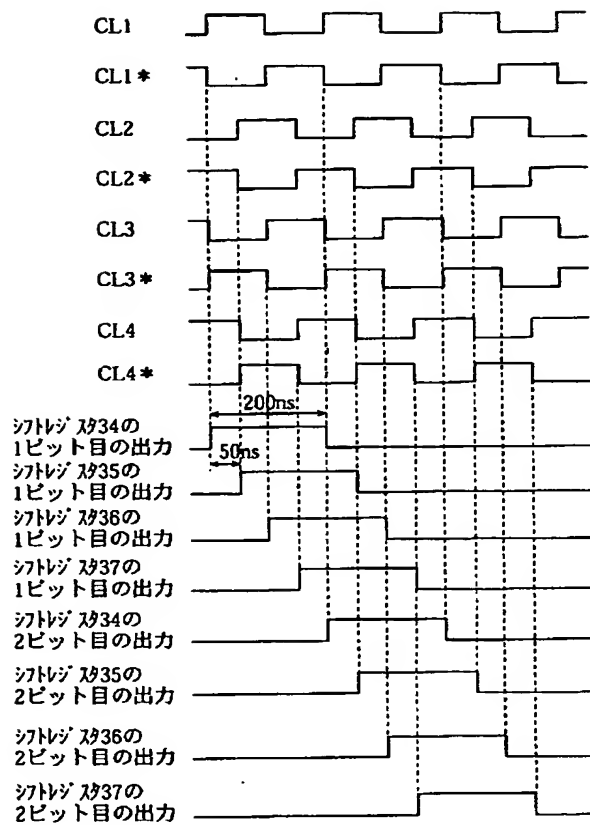
【図4】



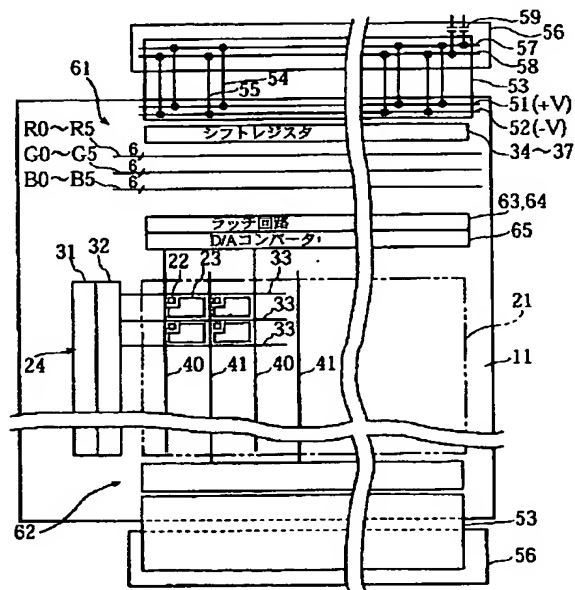
【図14】



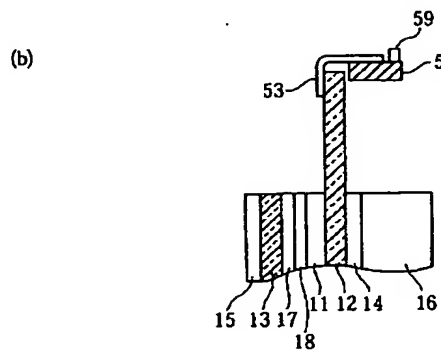
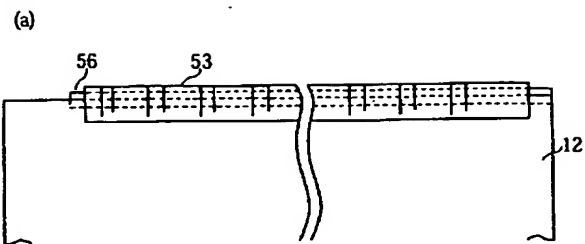
【図5】



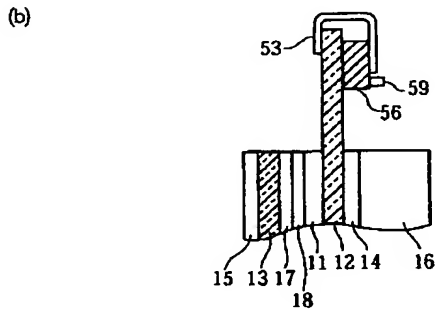
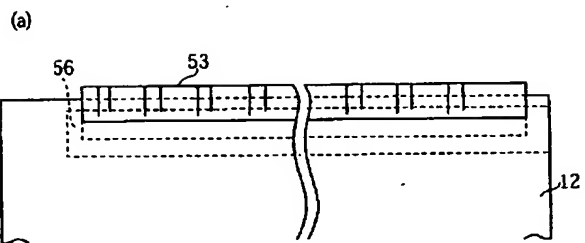
【図9】



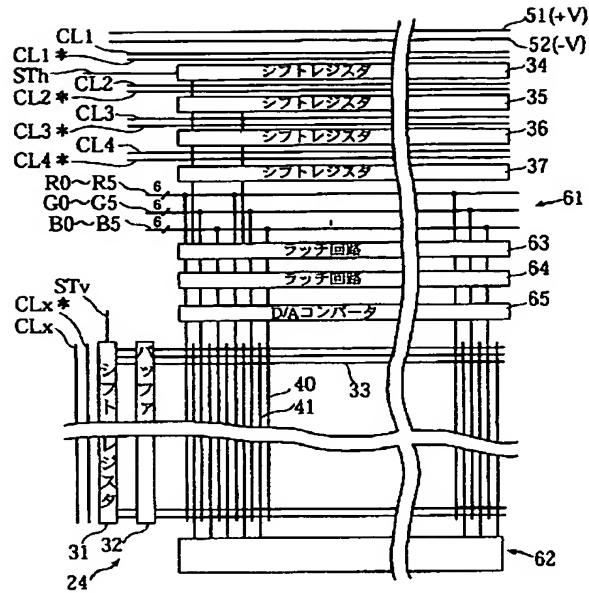
【図7】



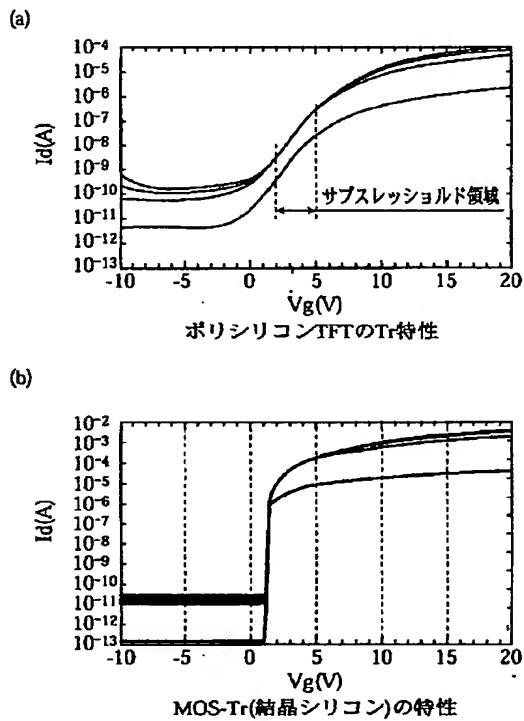
【図8】



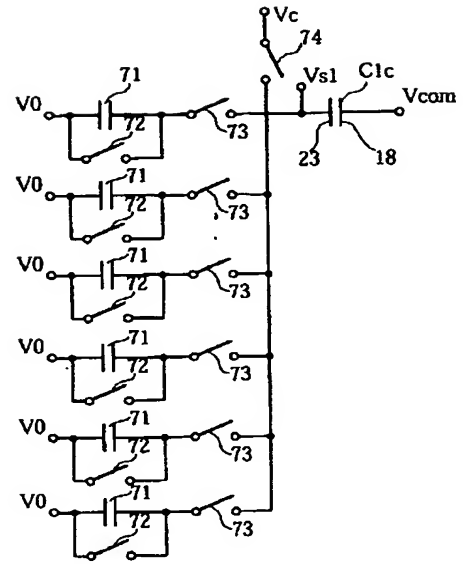
【図10】



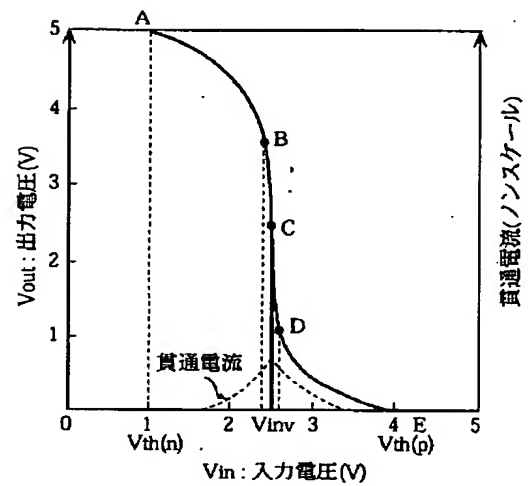
【図15】



【図11】



【図16】



【図 17】

